

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-342598

(43)Date of publication of application : 13.12.1994

(51)Int.Cl.

G11C 16/06
H01L 27/115

(21)Application number : 06-066108

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.04.1994

(72)Inventor : TAURA TADAYUKI

(30)Priority

Priority number : 05 80651

Priority date : 07.04.1993

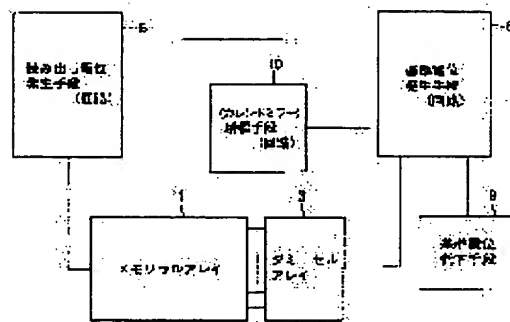
Priority country : JP

(54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To prevent increase in a chip area and to speed up a reading operation while changing from a standby condition to an operating condition by eliminating an equalizing circuit and providing a reference potential lowering means.

CONSTITUTION: Memory cells, which consist of nonvolatile transistors, are arranged in a matrix form in a memory cell array 1 and the dummy cell of a dummy cell array 3 has a transistor construction. A reading potential generating means 6 applies a prescribed potential to a selected memory cell and generates a reading potential corresponding to the data stored in the memory cell based on the current that flows in the memory cell. A reference potential generating means 8 applies a prescribed potential to the dummy cell of the dummy cell array 3 and generates a reference potential based on the current which flows in the dummy cell. A reference potential lowering means 9 lowers the reference potential for a constant duration when a prescribed time is elapsed after a standby condition is changed to an operating condition. An amplifying means 10 compares the reading out potential with the reference potential, amplifies the output which corresponds to the result of the comparison and outputs the signal.



LEGAL STATUS

[Date of request for examination] 11.06.1997

[Date of sending the examiner's decision of rejection] 17.04.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(S1)Int.Cl.*	種別記号	室内整理番号	F I	技術表示箇所
G 1 1 C 16/06			G 1 1 C 17/ 00	5 2 0 C
H 0 1 L 27/115			H 0 1 L 27/ 10	4 3 4
		8741-5L 7210-4M	審査請求	未請求 請求項の数 8 O L (全 18 頁)
(21)出願番号	特願平6-86108	(71)出願人	000003078	株式会社東芝
(22)出願日	平成 6 年(1994) 4 月 4 日			神奈川県川崎市幸区堀川町72番地
(31)優先権主張番号	特願平5-80051	(72)発明者	神 浦 忠 行	神奈川県川崎市幸区堀川町580番1号 株
(32)優先日	平 5 (1993) 4 月 7 日			式会社東芝半導体システム技術センター内
(33)優先権主張国	日本 (J P)	(74)代理人	弁理士 佐藤 一雄 (外 3 名)	

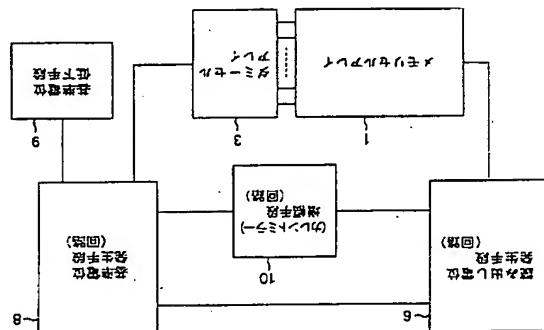
(54)【発明の名称】
不揮発性半導体記憶装置

【译语】(25)

【目的】 チップ面積の増大を可及的に防止するとともに、待機状態から動作状態に変化した場合の読み出しを高速を行うことを可能にする。

【備考】 不揮発性トランジスタからなるメモリセルが、トランジスタ列状に配列されたメモリセルアレイと、トランジスタ構造をもつダミーセルと、選択されたメモリセルに流れる電流に基づいての電位を与え、このメモリセルに流れる電流に基づいてメモリセルに充電されているデータに対応する読み出し電位を発生させる読み出し電位発生手段6と、ダミーセルに流れる電流に基づいて読み出し電位を発生する読み出し電位発生手段8と、待機状態から動作状態に変化したから所定時間経過後と、待機状態から動作状態に変化したから所定時間経過後と時

に、基準電位より一定時間低下させた読み出し電位低下手段9に、基準電位と読み出し電位とを比較し、その比較結果に応じて出力を増幅して出力する増幅手段10と、を備えていて、基準電位から動作状態9に代えて、又はこれに加えて、待機状態から動作状態に変化したから所定時間経過後までの間に読み出し電位を急激に充電する読み出し電位回充電手段11を設けても良い。



【特許請求の範囲】

【請求項 1】 不揮発性トランジスタからなるメモリセルが行列状に配列されたメモリセルアレイと、

トランジスタ構造をもつダイマールと、
選択されたメモリセルに所定の電位を与え、このメモリ
セルに流れる電流に基づいて前記メモリセルに記憶され
ているデータに対応する読み出し電位を発生する読み出し
電位発生手段と

前記ダミーセルに所定の電位を与え、このダミーセルに流れる電流に基づいて基体電位を発生する基体電位発生手段と、

位低下手段と、
経過するまでの間に前記基群電位を低下させる基準電
位から動作状態に変化してから第1の所定時間だ

手袋と、し、その比較結果に応じた出力を増幅して出力する増幅

を備えていることを特徴とする不揮発性半導体記憶装置。

【請求項2】前記ダミーセルは、前記メモリーセルアレイの各行毎に設けられる不揮発性トランジスタが列状に配列されたダミーセルアレイを有することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】前記増幅手段は、前記特徴状態から動作状態に変化してから所定時間経過後、更に所定時間経過後に動作状態になることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】不揮発性トランジスタからなるメモリセルが行列状に配列されたメモリセルアレイと、

トランジスタ構造を持つダイマセセルと、選択されたメモリセルに所定の電位を与え、このメモリセルに流れる電流に基づいて前記メモリセルに記憶されているデータに対応する読み出し電位を発生する読み出し電位発生手段と、

手段、前記ダミーセルに所定の電位を与え、このダミーセルに流れる電流に基づいて基準電位を発生する基準電位発生

み出し電位初期充電手段と、過するまでの間に前記読み出し電位を急速に充電してから第1の所定時間経過後待機状態から動作状態に変化してから第1の所定時間経過後するまでの間に前記読み出し電位を急速に充電する説

手段と、
 し、その比較結果に応じた出力を増幅して出力する増幅

を備えていることを特徴とする不揮発性半導体記憶装置。

【請求項5】前記メモリアルレイと、
ダミーセルと、
読み出し電位発生手段と、

基準電位発生手段と、
読み出し電位初期充電手段と、
増幅手段と、

を複数個備え、選択された前記メモリーセルアレイに対して前記各手段の動作状態となることを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項6】前記増幅手段は、前記待機状態から動作状態に変化してから所定時間経過後、更に所定時間経過後に動作状態になることを特徴とする請求項4に記載の不揮発性非媒体記憶装置。

【請求項7】 不揮発性トランジスタからなるメモリセル
 が行列状に配列されたメモリセルアレイと、
 トランジスタ構造を持つダイミセルと、

選択されたメモリセルに所定の電位を与え、このメモリセルに流れる電流に基づいて前記メモリセルに記憶されているデータに対応する読み出し電位を発生する読み出し電位発生手段と、

前記ダミーセルに所定の電位を与え、このダミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、

付機状態から動作状態に変化してから第1の所定時間経過するまでの間に前記基準電位を低下させる基準電位低下手段と、

待機状態から動作状態に変化してから第1の所定時間経過するまでの間に前記読み出し電位を急速に充電する読み出し電位初期充電手段と、

待機状態から動作状態に変化してから第2の所定時間が経過した後、前記読み出し電位と前記基準電位を比較し、その比較結果に応じた出力を増幅して出力する増幅手段と、

を備えていることを特徴とする不揮発性半導体記憶装置。

【請求項8】前記第1の所定時間と前記第2の所定時間とが同一であることを特徴とする請求項1、請求項3および請求項の何れかに記載の不揮発性半導体記憶装置。
【発明の詳細な説明】

10001

【産業上の利用分野】本発明はデータの消去、書き込み

100021
100022

【従来技術】従来技術においてデータを消去し、電気的にデータの書き込みを行う、いわゆるUV-EPROM (Ultraviolet-Erasable and Programmable Read Only Memory)、または、電気的にデータの消去、書き込みを行なうEEPROM (Electrically Erasable and Programmable Read Only Memory) においては、データの読み出し時にセンス増幅回路において、セルデータの“1”もしくは、“0”に対応した読み出し電位 V_1 (必要に応じて、 V_{S1} , V_{S0} と呼ぶ)と、基準電位 (V_R と呼ぶ)との比較判断結果により、“1”もし

くは“0”データが読み出される。

【0003】電気的にデータの消法を行うEEPROMのメモリセルとして使用される不揮発性トランジスタのパターン平面図を図14(a)に示し、図14(a)に示すハーフ線で切断した断面図を図14(b)に示す。

【0004】このトランジスタは、2層の多結晶シリコン構造で形成され、第1層目の多結晶シリコン層により浮遊ゲート21が構成され、第2層目の多結晶シリコン層により制御ゲート23が構成されている。また、図14(a)及び図14(b)において、24はソース、25はドレイン、27はシリコン基板、22はコンタクトホール、28はアルミニウム(Al)で形成されたデュータ線であり、コンタクトホール22を通して、ドレイン25に接続されている。このような構造のメモリセルにおけるデータの書き込み、読み出し及び消去動作を以下に簡便に説明する。

【0005】書き込み動作は、ドレイン電位を8V、制御ゲート電位を12V、ソース電位を0Vにそれぞれ設定し、浮遊ゲートにボット・エレクトロン(hot electron)を注入することにより行われる。読み出し動作は、制御ゲート電位を5V、ドレイン電位を1V、ソース電位を0Vにそれぞれ設定することにより行われる。このとき、メモリセルの記憶データが“0”(書き込み状態)では、ソース、ドレイン間にはセル電流がほとんど流れず、記憶データが“1”(消去状態)ではソース、ドレイン間に、100 μ A程度のセル電流が流れる。

【0006】消去動作は、制御ゲート電位を0V、ドレイン電位をフローティングのとき、ソースに高電位、例えば12Vを印加すること、とき、浮遊ゲート中のエレクトロンは、トンネル効果によりソースに抜き取られる。

【0007】このような不揮発性メモリセル及びセンスアンプを含む従来の不揮発性半導体記憶装置の全体構成を図15を用いて説明する。図15において、記憶装置は、多数のメモリセルがマトリックス状に配置されたメモリセルアレイ1と、このメモリセルアレイ1の列方向に1列に複数個設置されたメモリセルと同一の構造を有するダミーセルより成るダミーセルアレイ3と、データ読み出しの際に選択されたメモリセルに所定の電位を印加すると共に選択されたメモリセルのセル電流に応じた読み出し電位を発生させる読み出し電位発生回路6と、データ読み出しの際に選択されたダミーセルのドレインに所定のドレイン電位を供給すると共に、データ読み出し時のドレイン電位を発生させる基準電位発生回路8と、前記読み出し及び基準電位発生回路6及び8の対応するノードをイコライズするイコライズ回路7と、前記読み出し電位発生回路6より供給される前記基準電位とを比較し選択されたメモリセルのデータに応じた電位を出力回路(図示せず)に送出するカレントミラー型増幅

ンジスタN3、N7は、メモリセルのドレイン電位を最適な値、例えば1Vとなるように仮ち、選択されたメモリセルのデータの値に応じた読み出し電位V_SをノードND₂からカレントミラー型増幅回路10に送出する。なお、トランジスタP4はノードND₂の負荷トランジスタとして一定電流を供給する。

【0011】ここで読み出し電位V_Sについて説明する。メモリセルアレイ1の選択されたメモリセルのデータが“0”レベルの場合、メモリセルには電流が流れず、前記ノードND₂にはトランジスタP3およびP4を介して例えば3Vの電位が充電される。又、選択されたメモリセルのデータが“1”の場合メモリセルには100 μ A程度のセル電流が流れるため、ノードND₂の電位V_{SM}は負荷トランジスタP4と選択されたメモリセルとの分圧比により例えば1V程度となる。

【0012】一方、基準電位発生回路8は、前記読み出し電位発生回路6のコピー回路であり、直列に接続されたトランジスタP11、D11、111と、トランジスタN11と、直列に接続されたトランジスタP12、D12、112と、トランジスタN12、N13、N14、N15、N16、N17、N18と、直列に接続されたトランジスタP13、P14とを備えている。すなわち、基準電位発生回路8の例えばトランジスタP11は、読み出し電位発生回路6のトランジスタP11に対応する。また、前記トランジスタN15のゲートには、第4の制御信号S₄が供給される。

【0013】この基準電位発生回路8はトランジスタN15およびダミーデータ線D_{L,R}を介してダミーセルに接続され、トランジスタP11、D11、111、P12、D12、112、N13、N17により上記ダミーセルのドレイン電位を所定の電位に保つ。又、トランジスタP14によって基準電位V_Rを有する一定電流を供給する。この基準電位V_Rが出力されるND₄はトランジスタN17、N15を介してダミーデータ線D_{L,R}に接続されている。又、ダミーセルDC1~DCmは消去状態のセルであるため、読み出し時には100 μ A程度のセル電流が流れる。この時の基準電位V_Rは負荷トランジスタP14と選択されたダミーセルとの電流比となる値となる。一方この基準電位V_Rは、メモリセルCA₁にデータ“0”が記憶されている時の読み出し電位V_Sと、データ“1”が記憶されている時の読み出し電位V_Sとの中間電位となるようにする必要がある。このため、基準電位発生回路8の負荷トランジスタP14は読み出し電位発生回路6の対応するトランジスタP4よりも電流の多いトランジスタとする。

【0014】カレントミラー型増幅回路10は、トランジスタP21、P22、P23、N22、N23からなる差動増幅対と、トランジスタN24と、インバータV1、V2、V3とを有している。トランジスタP22のゲートは読み出し電位V_Sが出力されるノードN

D₂に接続され、トランジスタP23のゲートは基準電位V_Rが出力されるノードND₄に接続されている。トランジスタN24のドレインはトランジスタP22およびN22のドレインに接続され、ソースは接地されている。又、インバータV1、V2、V3は直列に接続され、トランジスタP22及びN22の接続点の電位を反転して出力回路に送出する。したがって、読み出し電位V_Sおよび基準電位V_Rは、上記差動対のトランジスタP23およびP23に各々供給され、その値の大小により出力D₀が出力回路12に送出される。この出力D₀は、“0”データが読み出される場合には“1”となり、“1”データが読み出される場合には“0”となる。

【0015】なお、ノードND₁とノードND₃はトランジスタN20によって接続され、ノードND₂とノードND₄はトランジスタP20およびN21からなるトランスファアゲートによって接続されており、これらのトランジスタがイコライズ回路7を構成している。このイコライズ回路7は、トランジスタN20より成りノードND₁とノードND₃とをイコライズする第1のイコライズ部と、トランジスタN21、P20より成りノードND₂とノードND₄とをイコライズする第2のイコライズ部と、を備えている。

【0016】又、このような半導体記憶装置においては、通常、読み出しを行っていない待機状態の時は、消費電力を抑えるために、待機時に“H”となる第1の外部制御信号S₁が、読み出し電位発生回路6のトランジスタN1、N2、N6、N8のゲートおよび基準電位発生回路8のトランジスタN11、N12、N16、N18のゲートに与えられ、各ノードND₁、ND₂、ND₃、ND₄を接地する。この時、カレントミラー型増幅回路10のトランジスタP21、N24のゲートおよびトランジスタN20、N21のゲートに与えられている第2の信号の反転信号S₂は“H”レベルになっており、トランジスタP20のゲートに与えられる第2の制御信号S₂は“L”レベルとなっている。

【0017】待機状態から読み出し状態に遷移した場合の各信号*CE、S₁、W_L、*S₂、D₀、V_S、V_Rの変化を図17に示す。図17において外部からのチップイネーブル信号*CEを受けて、第1の制御信号S₁が“H”から“L”に変化することにより読み出し電位発生回路6および基準電位発生回路8は動作状態となり、カレントミラー型増幅回路10より図示しない出力回路にデータD₀が出力される。又ワードラインの電位W_Lはメモリセルの容量により立ち上がり時間に時間がかかり、この間正常な読み出しができない。一方、選択されたデータ線には、トランジスタP4からドレイン電位がメモリセルのデータに依らず充電されるので電流が流れ、読み出し電位V_Sのレベルは低レベルとなる。同様

にダミーデータ線D_{L,R}も初期充電される。上述したよ

うにトランジスタP4の電流値はトランジスタP14のそれに比べて少ないため、基準電位側に対してメモリセル側の充電に時間を要することになる。メモリセル側の充電時間を早くするために、信号S₁が“L”に変化後、一定時間経過した後信号S₂を“H”にする。このようにノードND₂とノードND₄のレベルおよびノードND₁とノードND₃のレベルが各々等しくなるように（イコライズ）して、初期充電を早めている。その後、信号S₂が“L”から“H”になった所でカレントミラー型増幅回路10を駆動し、セルデータを出力することにより読み出しの高速化を行っている。

【0018】

【発明が解決しようとする課題】このような従来の不揮発性半導体記憶装置においては、チャプインネーブル信号*CEを“H”から“L”に変化させた時に“0”読み* S₂、S₂が変化すると、読み出し電位V_{GS}と基準電位V_Rのレベルが反転してしまう（図17の時刻11〜12の間）。このため、“1”読みから“0”読みという動作となり、読み出しが遅くなるという問題があった。

【0019】又、初期読み出しを早くするために、読み出し電位発生回路6のノードND₂と基準電位発生回路8のノードND₄をイコライズしている。このため読み出し電位発生回路6が複数割設けられている場合は、これと同数の基準電位発生回路8およびダミーセルアレイ3が必要となり、チップ面積が増大するという問題があった。

【0020】本発明は上記事情を考慮してなされたものであって、チップ面積の増大を可及的に防止するとともに、待機状態から動作状態に変化した場合の読み出しを高速に行うことのできる不揮発性半導体記憶装置を提供することを目的とする。

【0021】

【課題を解決するための手段】第1の発明による不揮発性半導体記憶装置は、不揮発性トランジスタからなるメモリセルが行列状に配列されたメモリセルアレイと、トランジスタ構造をもつダミーセルと、選択されたメモリセルに所定の電位を与え、このメモリセルに流れる電流に基づいてメモリセルに記憶されているデータに対応する読み出し電位を発生する読み出し電位発生手段と、ダミーセルに所定の電位を与え、このダミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、待機状態から動作状態に変化してから第1の所定時間経過した時に基準電位を一定時間低下させる基準電位低下手段と、待機状態から動作状態に変化してから第2の所定時間経過した後、読み出し電位と基準電位を比較し、その比較結果に応じた出力を増幅して出力する増幅手段と、を備えていることを特徴とする。

記憶装置と同様である。

【0027】図2に示す詳細な回路図に就いて具体的な構成を説明すると、この第1実施例の記憶装置は、図16に示す従来の記憶装置において、ノードND₁とノードND₃、およびノードND₂とノードND₄をイコライズするために設けられたトランジスタN20、N21、P20より成るイコライズ回路7を削除するとともに、直列に接続されたNチャネルエナンセンスメント型トランジスタN30、N31からなる基準電位低下回路9を付加し、カレントミラー型増幅回路10のトランジスタP21およびN24のゲートに信号S₅を付加したものである。この基準電位低下回路9のトランジスタN30のドレインは基準電位発生回路8のノードND₃に接続され、ゲートには記憶装置が動作状態になった後、一定時間経過後に“L”となる信号S₂が付加されている。又、トランジスタN31のドレインはトランジスタN30のソースに接続され、ソースは接地され、ゲートには駆動電圧V_{CC}が付加されている。したがって、基準電位低下回路9は動作状態に変化後一定時間、基準電位V_Rを低下させる。なお、カレントミラー型増幅回路10のトランジスタP21およびN24のゲートに与えられる第3の制御信号S₅は、信号S₂が“L”に変化後、更に一定時間経過後に“L”となる信号である。【0028】このような不揮発性トランジスタをメモリセルとする不揮発性半導体記憶装置の構成を図3に示す。図3において、メモリセルアレイ1はマトリクス状に配列されたm・n個のメモリセルCA11、…CA1mから構成されている。各メモリセルCA1j（j＝1、…m、j＝1、…n）は、図14（a）、（b）に示すようにソース、ドレイン、浮遊ゲート、および制御ゲートから構成された不揮発性トランジスタである。そして、同一行（例えばk行）に配置されたn個のメモリセルCAk1、…CAknの制御ゲートはm本のワード線WL1、…WLmのうちの対応する1本のワード線WLkに共通に接続される。又、同一列（例えばj列）に配置されたm個のメモリセルCA1j、…CAmjのドレインはn本のデータ線DL1、…DLnのうちの対応する1本のデータ線DLjに共通に接続される。そして、各メモリセルCA1jのソースには図示しないセルソース電位供給回路から出力される電位V_N（消去時は高電位、それ以外はV_{SS}）が供給されている。

【0029】なお、上記m本のワード線WL1、…WLmの選択は、ロウデコード2によって行われ、ロウアドレスに対応する1本のワード線が選択される。一方、n本のデータ線DL1、…DLnの選択はコラムデコード4によって行われる。このコラムデコード4はコラムアドレスに対応する1本のデータ線の選択を、データ線DLj（j＝1、…n）に接続されたトランジスタファクタCTJを選択することによって行う。すなわち、コラムアドレスに対応するデータ線に接続されたトランジスタファクタCTJを選択することによってデータ“0”を読み出す際のレベルまで充電が促される。基準電位V_Rのレベルと読み

ゲートのみをオンさせることによってデータ線が選択される。又、各データ線DLj（j＝1、…n）は対応するトランジスタファクタCTJを介して読み出し電位発生回路6に接続されている。この読み出し電位発生回路6はデータ読み出しの際には選択されたメモリセルのドレインに所定の電位（例えば図14（a）（b）に示すトランジスタからなるメモリセルでは1V）を印加するとともに、選択されたメモリセルのセル電流に応じた読み出し電位V_Sを発生する。この読み出し電位V_Sは、セリデータ値“1”、“0”にそれぞれ対応した入力電位としてカレントミラー型増幅回路10に送られる。【0030】一方、ダミーセルアレイ3はm個のダミーセルDC1、…DCmからなっている。このダミーセルDC1（i＝1、…m）はメモリセルCA1jと同様の不揮発性トランジスタであって、その制御ゲートは対応するワード線WLjに接続され、そのドレインはダミーデータ線DL_Rに接続され、そのソースには電位V₀が付加されている。ダミーデータ線DL_Rは基準電位発生回路8に接続されている。この基準電位発生回路8は、データ読み出しの際に選択されたダミーセルのドレインにダミーデータ線DL_Rを介して所定のドレイン電位を供給するとともに、データ読み出し時の基準電位V_Rを出力して増幅回路10に送出する。増幅回路10は基準電位V_Rと読み出し電位V_Sとを比較し、選択されたメモリセルのデータに応じた電位を出力回路12に送出する。出力回路12は増幅回路10から送出される電位に基づいて、選択されたメモリセルのデータを外部に出力する。

【0031】次に本第1実施例の動作を図4を参照して説明する。図4は本第1実施例の記憶装置が動作状態になった場合の“0”読み時の動作変形図である。図4において、信号*CEは記憶装置が動作状態になったことを示す信号で、例えばチャプインネーブル信号である。この信号*CEは記憶装置が受けると、記憶装置を動作させる第1の制御信号S₁が“H”から“L”に変化する。その後メモリセルを選択するワード線WL_jが立ち上がる。この時、ノードND₁の負荷トランジスタN3おおよびノードND₃の負荷トランジスタN13は各々、初期充電を開始する。また、この時の第2の制御信号* S₂は“H”レベルであり、基準電位V_Rのレベルは基準電位低下回路9によって低下させられる。

【0032】一方、メモリセルアレイにおいては、データ線DL_jを負荷トランジスタP4により充電する。充電が進むと、電流値が減少し、読み出し電位V_Sは上昇し、基準電位V_Rのレベルよりも高くなる。ここで、信号* S₂を“H”から“L”に変化させると、基準電位低下回路9のトランジスタN30がオフし、ダミーセルのセル電流により基準電位V_Rの決定される。また、読み出し電位V_Sについてもデータ“0”を読み出す際のレベルまで充電が促される。基準電位V_Rのレベルと読み

【図面の簡単な説明】

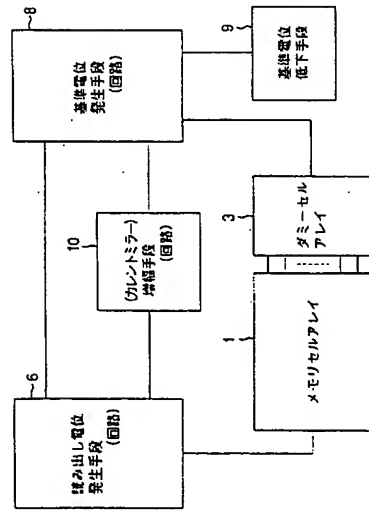
【図1】この発明の第1実施例による不揮発性半導体記憶装置の概略構成を示すブロック図である。
 【図2】この発明の第2実施例による不揮発性半導体記憶装置の概略構成を示すブロック図である。
 【図3】第1実施例による不揮発性半導体記憶装置の具体的な構成を示すブロック図である。
 【図4】第1実施例による不揮発性半導体記憶装置の動作を説明するためのタイミングチャートである。
 【図5】この発明の第2実施例による不揮発性半導体記憶装置の概略構成を示すブロック図である。
 【図6】第2実施例による不揮発性半導体記憶装置の具体的な構成を示すブロック図である。
 【図7】第2実施例の不揮発性半導体記憶装置の動作を説明するためのタイミングチャートである。
 【図8】この発明の第3実施例による不揮発性半導体記憶装置の概略構成を示すブロック図である。
 【図9】第3実施例による不揮発性半導体記憶装置の具体的な構成を示すブロック図である。
 【図10】第3実施例による不揮発性半導体記憶装置の動作を説明するためのタイミングチャートである。
 【図11】この発明の第4実施例による不揮発性半導体記憶装置の具体的な構成を示すブロック図である。

【図12】この発明の第5実施例による不揮発性半導体記憶装置の具体的な構成を示すブロック図である。
 【図13】この発明の第6実施例による不揮発性半導体記憶装置の具体的な構成を示すブロック図である。
 【図14】不揮発性トランジスタの構造の概略を説明する平面図及び断面図である。
 【図15】従来の不揮発性半導体記憶装置の概略構成を示すブロック図である。
 【図16】従来の不揮発性半導体記憶装置の詳細な構成を示す回路図である。
 【図17】従来の不揮発性半導体記憶装置の動作を説明するためのタイミングチャートである。

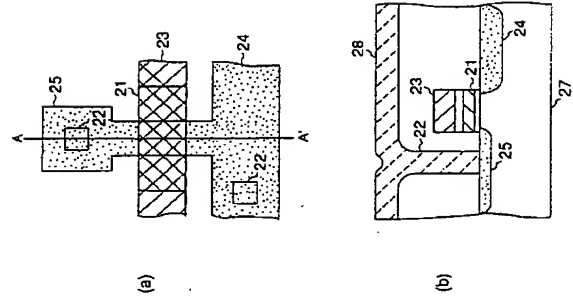
【符号の説明】

- 1 メモリセルアレイ
- 3 ダミーセルアレイ
- 6 読み出し電位発生手段 (回路)
- 8 基準電位発生手段 (回路)
- 9 基準電位低下手段 (回路)
- 10 (カレントミラー型) 増幅手段 (回路)
- 11 読み出し電位初期充電手段 (回路)
- CA1j (j=1, ..., m, j=1, ..., n) メモリセル
- DCi (i=1, ..., m) ダミーセル

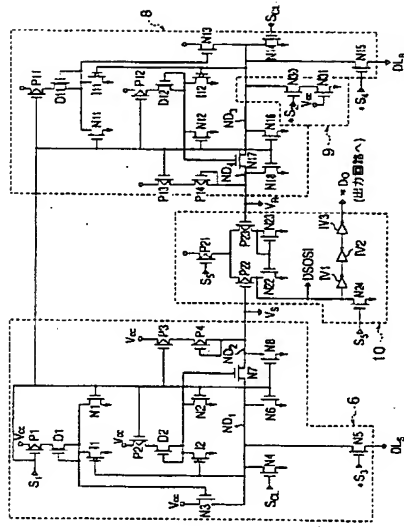
【図1】



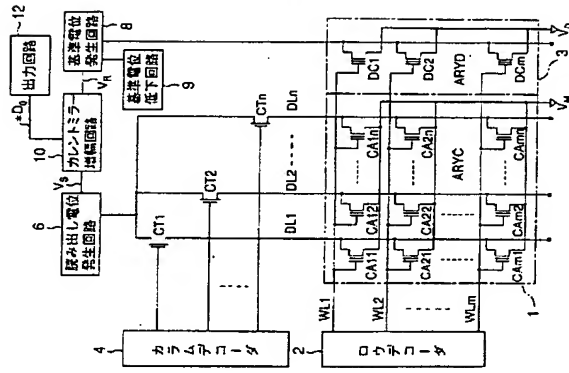
【図14】

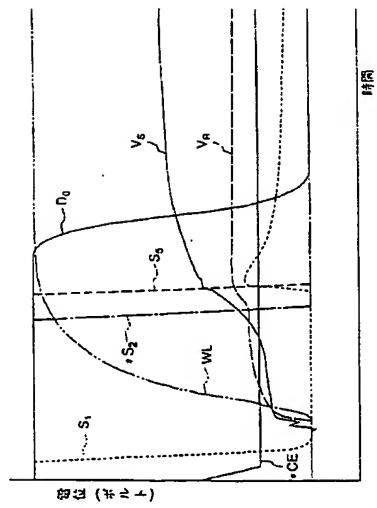


【図2】

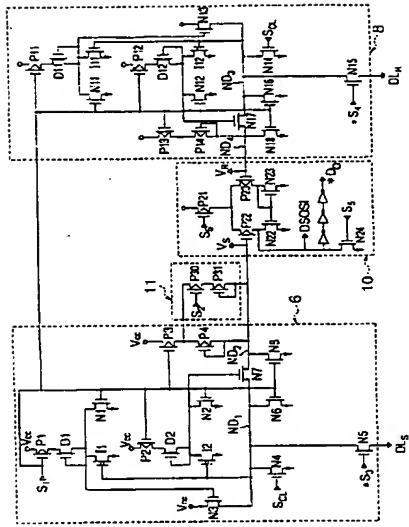


【図3】

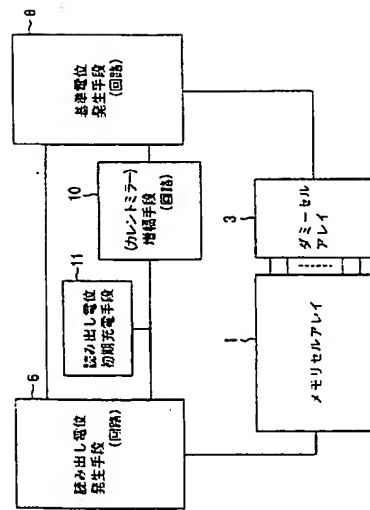




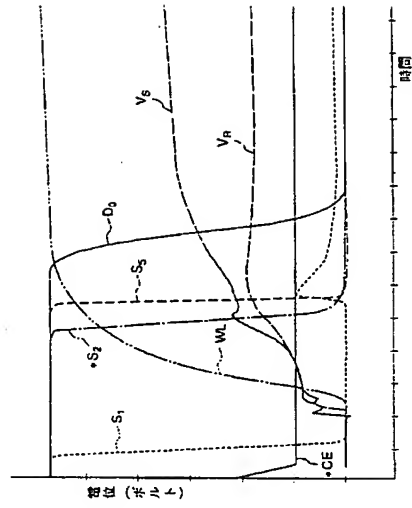
【图6】



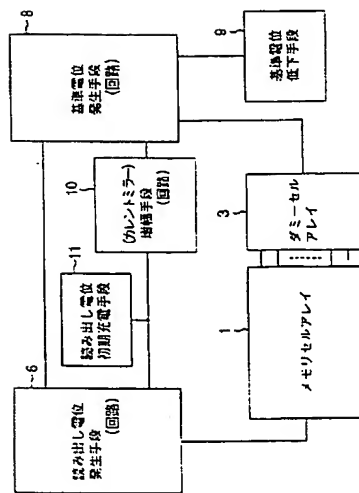
【例5】



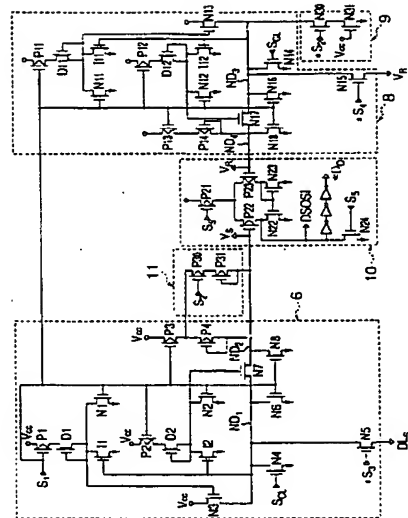
【图7】



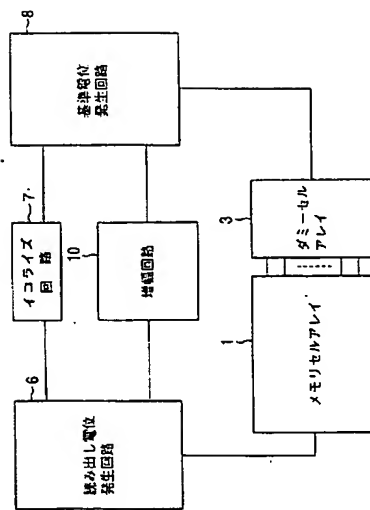
(13)



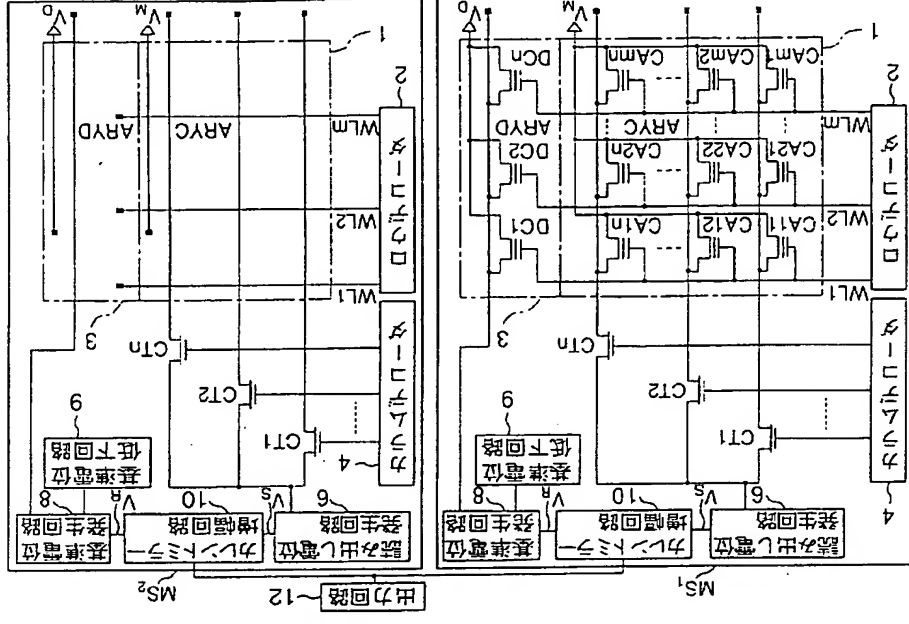
【例9】



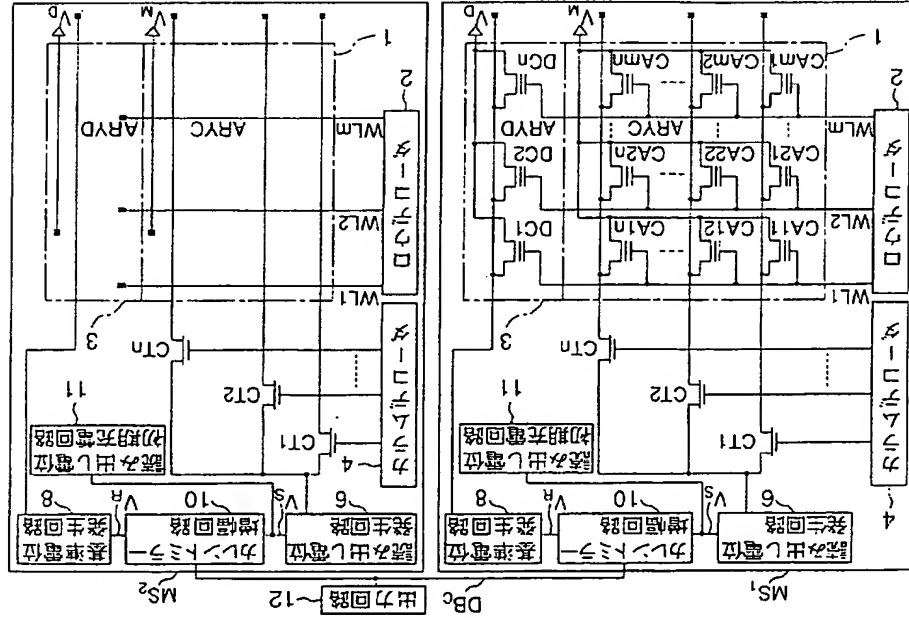
【例 15】



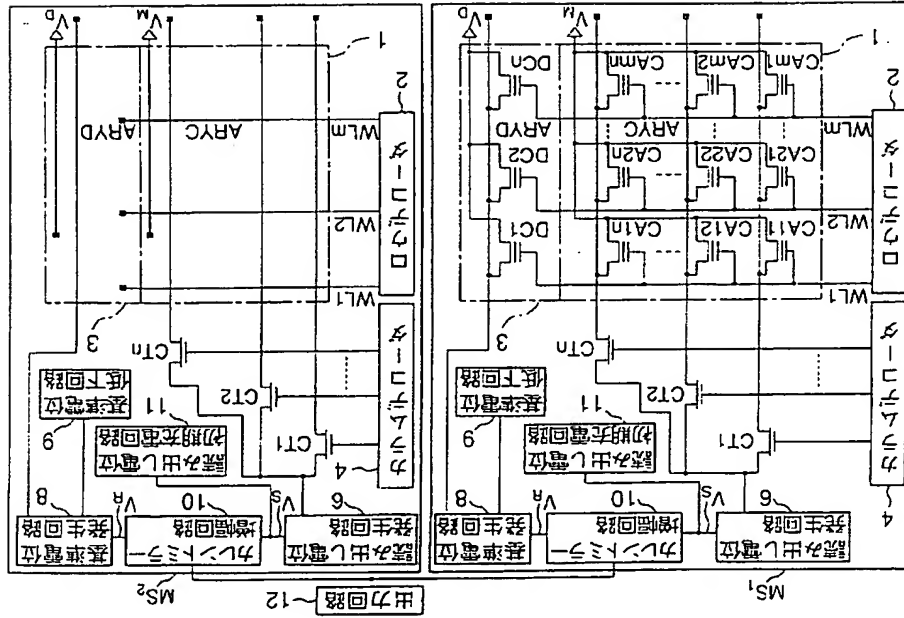
【図12】



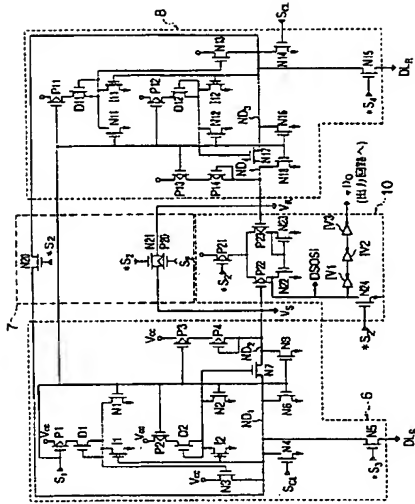
【図11】



【図13】



【図16】



【図17】

